

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-232166

(P2000-232166A)

(43) 公開日 平成12年8月22日 (2000.8.22)

(51) Int.Cl.⁷

識別記号

F I

テマコード(参考)

H 0 1 L 21/8238

H 0 1 L 27/08

3 2 1 E 5 F 0 4 8

27/092

審査請求 未請求 請求項の数5 O L (全 9 頁)

(21) 出願番号

特願平11-33092

(22) 出願日

平成11年2月10日 (1999.2.10)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 大竹 文雄

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 奈良 安雄

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100072590

弁理士 井桁 貞一

最終頁に続く

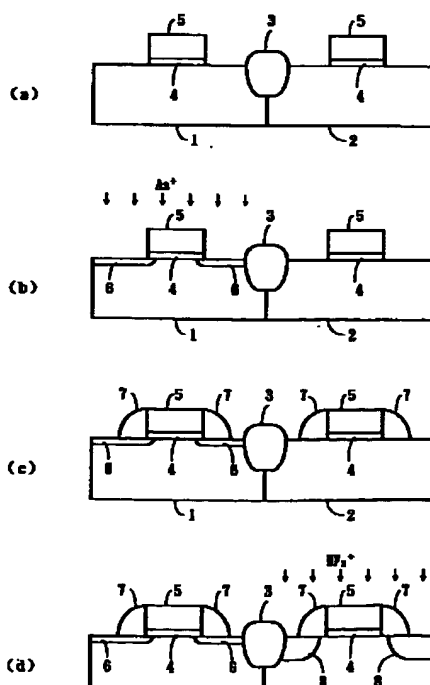
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置の製造方法に関し、CMOSトランジスタのショートチャネル効果の抑制、電流駆動能力の向上及び高密度化を図ることを目的とする。

【解決手段】 ゲート電極5をマスクとしてnMOSトランジスタ形成領域1にn型不純物を選択的に導入する工程と、ゲート電極5の側面に第1のサイドウォール7を形成する工程と、ゲート電極5と第1のサイドウォール7をマスクとしてpMOSトランジスタ形成領域2にp型不純物を選択的に導入する工程と、第1のサイドウォール7を除去した後、ゲート電極5の側面に第1のサイドウォール7より幅の狭い第2のサイドウォール9を形成する工程と、ゲート電極5と第2のサイドウォール9をマスクとしてnMOSトランジスタ形成領域1とpMOSトランジスタ形成領域2にそれぞれn型不純物、p型不純物を選択的に導入する工程を含むように構成する。

本発明の第1の実施例を示す工程断面図 (その1)



【特許請求の範囲】

【請求項1】 nMOSトランジスタ形成領域とpMOSトランジスタ形成領域にゲート電極を形成する工程と、
該ゲート電極をマスクとして該nMOSトランジスタ形成領域にn型不純物を選択的に導入しn⁻層を形成する工程と、
該ゲート電極の側面に第1のサイドウォールを形成する工程と、
該ゲート電極と該第1のサイドウォールをマスクとして 10 該pMOSトランジスタ形成領域にp型不純物を選択的に導入しp⁺層を形成する工程と、
該第1のサイドウォールを除去した後、該ゲート電極の側面に該第1のサイドウォールより幅の狭い第2のサイドウォールを形成する工程と、
該ゲート電極と該第2のサイドウォールをマスクとして 20 該nMOSトランジスタ形成領域にn型不純物を選択的に導入しn⁺層を形成する工程と、
該ゲート電極と該第2のサイドウォールをマスクとして 20 該pMOSトランジスタ形成領域にp型不純物を選択的に導入しp⁻層を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 該p⁺層を形成した後該p⁻層を形成する前に第1の熱処理を行う工程と、
該p⁻層を形成した後該第1の熱処理より低い温度で第2の熱処理を行う工程を含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 nMOSトランジスタ形成領域とpMOSトランジスタ形成領域にゲート電極を形成する工程と、
該ゲート電極をマスクとして該nMOSトランジスタ形成領域にn型不純物を選択的に導入しn⁻層を形成する工程と、
該ゲート電極をマスクとして該pMOSトランジスタ形成領域にp型不純物を選択的に導入しp⁻層を形成する工程と、
該ゲート電極の側面に第1のサイドウォールを形成する工程と、
該ゲート電極と該第1のサイドウォールをマスクとして 40 該pMOSトランジスタ形成領域にp型不純物を選択的に導入しp⁺層を形成する工程と、
該第1のサイドウォールを除去した後、該ゲート電極の側面に該第1のサイドウォールより幅の狭い第2のサイドウォールを形成する工程と、
該ゲート電極と該第2のサイドウォールをマスクとして 40 該nMOSトランジスタ形成領域にn型不純物を選択的に導入しn⁺層を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項4】 該p⁻層を形成するためのp型不純物と

請求項3記載の半導体装置の製造方法。

【請求項5】 インジウム又はガリウムを導入する際、同時にゲルマニウムを導入することを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係り、特にCMOSトランジスタの高密度化・高速化を可能にする半導体装置の製造方法に関する。

【0002】近年、コンピュータを始めとする様々な電子機器の低消費電力化・高速化を進める上でCMOSトランジスタの重要性が増しているが、CMOSトランジスタはnMOSトランジスタとpMOSトランジスタを同一基板上に形成するため、それぞれ個別に形成する場合に比べてデバイスパラメータを最適化することが難しく特性低下等の問題が生じその解決が望まれている。

【0003】

【従来の技術】図5及び図6は従来のCMOSトランジスタの製造工程の要部を示す断面図である。まず、図5(a)に示したように、半導体基板にnMOSトランジスタ形成領域21とpMOSトランジスタ形成領域22及び素子分離領域23を形成し、nMOSトランジスタ形成領域21とpMOSトランジスタ形成領域22上にはゲート酸化膜24とゲート電極25を形成する。

【0004】ついで、図5(b)に示したように、ゲート電極25をマスクとしてnMOSトランジスタ形成領域21に加速エネルギー10 KeV、注入量 $1 \times 10^{14} \text{cm}^{-2}$ の条件で砒素(As)を選択的にイオン注入しnMOSトランジスタのLDD(Lightly Doped Drain)領域となるn⁻層26を形成する。

【0005】ついで、図5(c)に示したように、ゲート電極25をマスクとしてpMOSトランジスタ形成領域22に加速エネルギー10 KeV、注入量 $1 \times 10^{14} \text{cm}^{-2}$ の条件で弗化硼素(BF₂)を選択的にイオン注入しpMOSトランジスタのLDD領域となるp⁻層27を形成する。

【0006】ついで、図6(a)に示したように、シリコン酸化膜を全面に堆積した後異方性ドライエッチングによりゲート電極25の側面に幅160 nm程度のサイドウォール28を形成する。

【0007】ついで、図6(b)に示したように、ゲート電極25とサイドウォール28をマスクとしてnMOSトランジスタ形成領域21に加速エネルギー10 KeV、注入量 $4 \times 10^{15} \text{cm}^{-2}$ の条件でAsを選択的にイオン注入しnMOSトランジスタのS/D(Source/Drain)領域となるn⁺層29を形成する。

【0008】ついで、図6(c)に示したように、ゲート電極25とサイドウォール28をマスクとしてpMOSトランジスタ形成領域22に加速エネルギー10 KeV、注入量 $5 \times 10^{15} \text{cm}^{-2}$ の条件でBF₂を選択的にイオン注入しpMO

る。

【0009】最後に、1000℃、10秒間の熱処理(RTA処理)を行ってイオン注入した不純物を活性化させ、これによりゲート電極25、 n^- 層26、 n^+ 層29、 p^- 層27、 p^+ 層30を低抵抗化する。

【0010】

【発明が解決しようとする課題】上述したCMOSTランジスタの製造工程において、サイドウォールはS/D領域にイオン注入された不純物のチャネルへの広がりを抑えるために設けられるものである。サイドウォール幅を必要以上に狭く設定するとショートチャネル効果の抑制が不十分となり、逆に、必要以上に広く設定するとS/D領域の寄生抵抗が増大して電流駆動能力が低下する。

【0011】従って、サイドウォール幅はショートチャネル効果の抑制と電流駆動能力の向上とのトレードオフによって決められる値に設定する必要があるが、サイドウォール幅の最適値は不純物の拡散係数に依存しているため、 n MOSTランジスタと p MOSTランジスタの双方に対して同時に最適な値に設定することは一般には困難である。たとえば、上述したCMOSTランジスタの製造工程では、ボロン(B)の拡散係数がAsの拡散係数より大きいので、同一の熱処理条件下では p^+ 層30の広がりは n^+ 層29の広がりより大きくなる。従って、 p MOSTランジスタに対して最適なサイドウォール幅は n MOSTランジスタに対しては広くなり過ぎ、その結果、 n MOSTランジスタの寄生抵抗が増大してその電流駆動能力が低下することになる。逆に、 n MOSTランジスタに対して最適なサイドウォール幅は p MOSTランジスタに対しては狭すぎてショートチャネル効果の抑制が不十分となる恐れがある。

【0012】以上のように、従来のCMOSTランジスタ製造工程では n MOSTランジスタと p MOSTランジスタの双方に対しともにサイドウォール幅を最適値に設定することはできず、それぞれ個別に製造する場合に比べてショートチャネル効果の抑制が不十分となり且つ電流駆動能力も低下するという問題があった。

【0013】さらに、このようにして実際に設定されるサイドウォール幅は、一般に n MOSTランジスタに対しては必要以上に大きな値となってしまう、その結果、 n MOSTランジスタの占有面積が増大しCMOSTランジスタの高密度化を妨げるという問題があった。

【0014】また、一般に、電流駆動能力の向上のためにはS/D領域の不純物を十分に活性化して寄生抵抗を下げる必要のあることから高温の熱処理を行うことが望ましく、一方、ショートチャネル効果の抑制のためにはLDD領域をできるだけ浅くする必要のあることから低温の熱処理を行うことが望ましい。

【0015】ところが、上述した従来のCMOSTラン

イオン注入がS/D領域形成のための不純物のイオン注入より前に行われ、従って、S/D領域活性化のための熱処理の影響は必然的にLDD領域にも及ぶことになり、その結果、S/D領域を低抵抗化するため熱処理温度を高くすると、電流駆動能力は向上するもののLDD領域が深くなってショートチャネル効果の抑制が不十分になる。このことは、 n MOSTランジスタに比べて拡散係数の大きな不純物を用いる p MOSTランジスタに対して特に大きな問題となる。

【0016】 p MOSTランジスタ形成のための p 型不純物として通常はBが用いられる。ガリウム(Ga)やインジウム(In)はBに比べて拡散係数が小さいため浅いLDD領域を形成する上では有利となるものの、活性化率が低くS/D領域が高抵抗化してランジスタ特性を劣化させるという問題があった。

【0017】そこで、本発明は、ショートチャネル効果の抑制と電流駆動能力の向上を共に図るとともに高密度化をも可能とするCMOSTランジスタの製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】上記課題の解決は、 n MOSTランジスタ形成領域と p MOSTランジスタ形成領域にゲート電極を形成する工程と、該ゲート電極をマスクとして該 n MOSTランジスタ形成領域に n 型不純物を選択的に導入し n^- 層を形成する工程と、該ゲート電極の側面に第1のサイドウォールを形成する工程と、該ゲート電極と該第1のサイドウォールをマスクとして該 p MOSTランジスタ形成領域に p 型不純物を選択的に導入し p^+ 層を形成する工程と、該第1のサイドウォールを除去した後、該ゲート電極の側面に該第1のサイドウォールより幅の狭い第2のサイドウォールを形成する工程と、該ゲート電極と該第2のサイドウォールをマスクとして該 n MOSTランジスタ形成領域に n 型不純物を選択的に導入し n^+ 層を形成する工程と、該ゲート電極と該第2のサイドウォールをマスクとして該 p MOSTランジスタ形成領域に p 型不純物を選択的に導入し p^- 層を形成する工程を含むことを特徴とする半導体装置の製造方法、あるいは、該 p^+ 層を形成した後該 p^- 層を形成する前に第1の熱処理を行う工程と、該 p^- 層を形成した後該第1の熱処理より低い温度で第2の熱処理を行う工程を含むことを特徴とする上記半導体装置の製造方法、あるいは n MOSTランジスタ形成領域と p MOSTランジスタ形成領域にゲート電極を形成する工程と、該ゲート電極をマスクとして該 n MOSTランジスタ形成領域に n 型不純物を選択的に導入し n^- 層を形成する工程と、該ゲート電極をマスクとして該 p MOSTランジスタ形成領域に p 型不純物を選択的に導入し p^- 層を形成する工程と、該ゲート電極の側面に第1のサイドウォールを形成する工程と、該ゲート電極と該第1

タ形成領域にp型不純物を選択的に導入しp⁺層を形成する工程と、該第1のサイドウォールを除去した後、該ゲート電極の側面に該第1のサイドウォールより幅の狭い第2のサイドウォールを形成する工程と、該ゲート電極と該第2のサイドウォールをマスクとして該nMOSTランジスタ形成領域にn型不純物を選択的に導入しn⁺層を形成する工程を含むことを特徴とする半導体装置の製造方法、あるいは、該p⁻層を形成するためのp型不純物としてインジウム又はガリウムを用いることを特徴とする上記半導体装置の製造方法、あるいは、インジウム又はガリウムを導入する際、同時にゲルマニウムを導入することを特徴とする上記半導体装置の製造方法によって達成される。

【0019】nMOSTランジスタの形成に用いる不純物がpMOSTランジスタの形成に用いる不純物に比べて拡散係数が小さい場合には、nMOSTランジスタの形成に用いるサイドウォール幅の最適値はpMOSTランジスタの形成に用いるサイドウォール幅の最適値より小さくなる。

【0020】請求項1によれば、第1のサイドウォールをマスクにしてpMOSTランジスタのS/D領域となるp⁺層を形成するとともに、この第1のサイドウォールより幅の狭い第2のサイドウォールをマスクにしてnMOSTランジスタのS/D領域となるn⁺層を形成しているため、p⁺層の形成に用いる不純物がn⁺層の形成に用いる不純物に比べて拡散係数が大きな場合においても、pMOSTランジスタとnMOSTランジスタのそれぞれに対して最適なサイドウォール幅を設定することが可能となり、従来に比べてショートチャネル効果の抑制及び電流駆動能力の向上を図ることができ、且つ製造工程が完了した時点で幅の狭い第2のサイドウォールのみが残されるので、従来に比べて半導体装置の占有面積を小さくすることができる。

【0021】さらに、p⁺層をp⁻層より前に形成することができるので第1の熱処理によってp⁺層の不純物を十分に活性化することによりその後に行われる第2の熱処理の温度を第1の熱処理の温度より低くしてもp⁺層の抵抗には影響を与えない。従って、請求項2に示したように第1の熱処理より低い温度で第2の熱処理を行うことにより、p⁺層の高抵抗化をまねくことなくp⁻層を浅くすることが可能となる。即ち、電流駆動能力を低下させることなくpMOSTランジスタに対するショートチャネル効果を抑制することができる。

【0022】請求項3は、従来例と同様にp⁻層をp⁺層より前に形成したものであるが、請求項1記載の発明と同様に第1のサイドウォールをマスクにしてpMOSTランジスタのS/D領域となるp⁺層を形成するとともに、この第1のサイドウォールより幅の狭い第2のサイドウォールをマスクにしてnMOSTランジスタのS

成に用いる不純物がn⁺層の形成に用いる不純物に比べて拡散係数が大きな場合においても、pMOSTランジスタとnMOSTランジスタのそれぞれに対して最適なサイドウォール幅を設定することが可能となり従来例に比べてショートチャネル効果の抑制及び電流駆動能力の向上を図ることができ、且つ製造工程が完了した時点で幅の狭い第2のサイドウォールのみが残されるので半導体装置の占有面積を小さくすることができる。

【0023】また、請求項4に示したように、p⁻層形成のためのp型不純物として拡散係数の小さなGaあるいはInを用いて浅いp⁻層を形成することによりショートチャネル効果をより一層抑えることができる。この場合、p⁺層形成のための不純物として、たとえば活性化率の高いBを用いると電流駆動能力の低下を抑えることができる。

【0024】また、GaまたはInを導入する際、同時にGeを導入するとSiGe混晶が形成され実質的な固溶限を大きくすることができるので、GaまたはInを単独で導入する場合に比べてp⁻層を低抵抗化することができる。

【0025】

【発明の実施の形態】図1及び図2は本発明の第1の実施例に係るCMOSTランジスタ製造工程の要部を示す断面図である。まず、図1(a)に示したように、nMOSTランジスタ形成領域1とpMOSTランジスタ形成領域2及び素子分離領域3を形成し、nMOSTランジスタ形成領域1とpMOSTランジスタ形成領域2上にはゲート酸化膜4とゲート電極5を形成する。ゲート酸化膜4の膜厚は5nmとし、ゲート電極5は膜厚100nmのシリコン酸化膜をキャップ層とする膜厚150nmの多結晶シリコン膜で構成する。あるいは、ゲート電極5は上記シリコン酸化膜と多結晶シリコンの間にTiNを挟んだ構造としてもよい。

【0026】ついで、図1(b)に示したように、ゲート電極5をマスクとしてnMOSTランジスタ形成領域1に加速エネルギー10KeV、注入量 $1 \times 10^{14} \text{cm}^{-2}$ の条件でAsイオンを選択的に注入しnMOSTランジスタのLDD領域となるn⁻層6を形成する。

【0027】ついで、図1(c)に示したように、シリコン酸化膜を全面に堆積した後異方性ドライエッチングによりゲート電極5の側面に幅160nmの第1のサイドウォール7を形成する。シリコン酸化膜は低温熱CVD法、プラズマCVD法、高温熱CVD法等の良く知られた膜形成法により堆積することができる。あるいは、シリコン酸化膜に代えてBSG膜、PSG膜、BPSG膜、シリコン窒化膜等を用いることもできる。

【0028】ついで、図1(d)に示したように、ゲート電極5をマスクとしてpMOSTランジスタ形成領域2に加速エネルギー10KeV、注入量 $1 \times 10^{15} \text{cm}^{-2}$ の条件でBF₂イオンを選択的に注入しpMOSTランジスタのS

【0029】続いて、第1のサイドウォール7を除去する。ここで、図1(c)に示した工程においてシリコン酸化膜を低温熱CVD法あるいはプラズマCVD法により形成しておけば、HF系の処理液を用いたウェットエッチングにより第1のサイドウォール7の除去がより容易となる。

【0030】ついで、図2(a)に示したように、シリコン酸化膜を堆積し異方性ドライエッチングによりゲート電極5の側面に幅40 nmの第2のサイドウォール9を形成する。このときのシリコン酸化膜も低温熱CVD法、プラズマCVD法、高温熱CVD法等の良く知られた膜形成法により堆積することができる。あるいは、シリコン酸化膜に代えてBSG膜、PSG膜、BPSG膜、シリコン窒化膜等を用いることもできる。

【0031】ついで、図2(b)に示したように、ゲート電極5と第2のサイドウォール9をマスクとしてnMOSTランジスタ形成領域1に加速エネルギー10 KeV、注入量 $4 \times 10^{15} \text{cm}^{-2}$ の条件でAsイオンを選択的に注入しnMOSTランジスタのS/D領域となる n^+ 層10を形成する。

【0032】ついで、これまでの工程でイオン注入された不純物の活性化のための熱処理を行う。この段階では、未だpMOSTランジスタのLDD領域形成のための不純物のイオン注入は行われていないので、pMOSTランジスタのLDD領域の広がりを考慮することなく、ゲート電極5、 p^+ 層8、 n^+ 層10を低抵抗化するのに最も有利な熱処理条件を設定することができる。ここでは、1000℃、10秒程度の高温での熱処理を行う。

【0033】なお、上記高温での熱処理により、nMOSTランジスタのLDD領域となる n^- 層6の活性化も同時に行われるが、Asの拡散係数はBに比べて充分小さいので後の工程で形成する p^- 層より深くなることはなく、従って、nMOSTランジスタに対するショートチャネル効果の抑制に問題は生じない。

【0034】ついで、図2(c)に示したように、ゲート電極5と第2のサイドウォール9をマスクとしてpMOSTランジスタ形成領域2に加速エネルギー10 KeV、注入量 $1 \times 10^{14} \text{cm}^{-2}$ の条件で BF_2 イオンを選択的に注入しpMOSTランジスタのLDD領域となる p^- 層11を形成する。

【0035】ついで、 p^- 層11にイオン注入された不純物を活性化するための熱処理を行う。前述のように、ゲート電極5、 p^+ 層8、 n^+ 層10は高温の熱処理によって既に充分に活性化されているので、 p^- 層11の活性化のための熱処理温度を先の熱処理温度より低く設定することができる。ここでは、熱処理温度を900℃程度に抑え、これによりゲート電極5、 p^+ 層8、 n^+ 層10を高抵抗化することなく p^- 層11を浅くすることができる。

【0036】続いて、層間絶縁膜形成工程、金属配線形

発明では、工程途中で第1のサイドウォールは除去されるので、デバイスのレイアウト時には幅の狭い第2のサイドウォールのみを考慮すればよく、その分CMOSTランジスタの占有面積を小さくすることができる。

【0037】次に、本発明の第2の実施例に係るCMOSTランジスタ製造工程を図3及び図4を用いて説明する。まず、図3(a)に示したように、nMOSTランジスタ形成領域1とpMOSTランジスタ形成領域2及び素子分離領域3を形成し、nMOSTランジスタ形成領域1とpMOSTランジスタ形成領域2上には膜厚5nmのゲート酸化膜4と膜厚100 nmのシリコン酸化膜をキャップ層とする膜厚150 nmの多結晶シリコン膜から成るゲート電極5を形成する。あるいは、上記シリコン酸化膜と多結晶シリコンの間にTiNを挟んだ構造としてもよい。

【0038】ついで、図3(b)に示したように、ゲート電極5をマスクとしてnMOSTランジスタ形成領域1に加速エネルギー10 KeV、注入量 $1 \times 10^{14} \text{cm}^{-2}$ の条件でAsイオンを選択的に注入しnMOSTランジスタのLDD領域となる n^- 層6を形成する。

【0039】ついで、図3(c)に示したように、ゲート電極5をマスクとしてpMOSTランジスタ形成領域2に加速エネルギー10 KeV、注入量 $4 \times 10^{14} \text{cm}^{-2}$ の条件でInイオンあるいはGaイオンを選択的に注入しpMOSTランジスタのLDD領域となる p^- 層11を形成する。

【0040】ついで、図3(d)に示したように、シリコン酸化膜を全面に堆積した後異方性ドライエッチングによりゲート電極5の側面に幅160 nmの第1のサイドウォール7を形成する。シリコン酸化膜は低温熱CVD法、プラズマCVD法、高温熱CVD法等の良く知られた膜形成法により堆積することができる。あるいは、シリコン酸化膜に代えてBSG膜、PSG膜、BPSG膜、シリコン窒化膜等を用いることもできる。

【0041】ついで、図4(a)に示したように、ゲート電極5をマスクとしてpMOSTランジスタ形成領域2に加速エネルギー10 KeV、注入量 $1 \times 10^{15} \text{cm}^{-2}$ の条件で BF_2 イオンを選択的に注入しpMOSTランジスタのS/D領域となる p^+ 層8を形成する。

【0042】続いて、第1のサイドウォール7を除去する。ここで、図3(d)に示した工程においてシリコン酸化膜を低温熱CVD法あるいはプラズマCVD法により形成しておけば、HF系の処理液を用いたウェットエッチングにより第1のサイドウォール7の除去がより容易となる。

【0043】ついで、図4(b)に示したように、シリコン酸化膜を堆積し異方性ドライエッチングによりゲート電極5の側面に幅40 nmの第2のサイドウォール9を形成する。このときのシリコン酸化膜も低温熱CVD法、プラズマCVD法、高温熱CVD法等の良く知られた膜

ン酸化膜に代えてBSG膜、PSG膜、BPSG膜、シリコン窒化膜等を用いることもできる。

【0044】について、図4(c)に示したように、ゲート電極5と第2のサイドウォール9をマスクとしてnMOSトランジスタ形成領域1に加速エネルギー10 KeV、注入量 $4 \times 10^{15} \text{cm}^{-2}$ の条件でAsイオンを選択的に注入しnMOSトランジスタのS/D領域となる n^+ 層10を形成する。

【0045】について、1000℃、10秒間の熱処理(RTA処理)を行ってイオン注入した不純物を活性化させる。

【0046】以上のように、第2の実施例では、GaあるいはInを用いることによって浅い p^- 層11を形成することができ、且つ p^+ 層8の形成にはBを用いることによって低抵抗のS/D領域を形成しているため、第1の実施例と同様に従来に比べてショートチャネル効果の抑制及び電流駆動能力の向上を図る上で効果がある。

【0047】また、第2の実施例では、第1の実施例と異なり p^- 層11を p^+ 層8より前に形成しているため p^+ 層8に対する熱処理の影響が p^- 層11にも及ぶことになる。しかし、 p^- 層11には拡散係数の小さなInあるいはGaが注入されているため高温熱処理による p^- 層11の広がりやBを用いた場合に比べて小さくショートチャネル効果の抑制の効果は従来に比べて大きい。

【0048】さらに、第2の実施例では、第1の実施例と同様に工程途中で第1のサイドウォールは除去されるため、デバイスのレイアウト時には幅の狭い第2のサイドウォールのみを考慮すればよく、その分CMOSトランジスタの占有面積を小さくすることができる。

【0049】また、Ga、Inのイオン注入に際してゲルマニウム(Ge)を同時にイオン注入することもできる。Geのイオン注入によってSiGe混晶を形成し、これによりGa、Inの固溶限を大きくすることができるので、GaやInを単独で用いる場合に比べて p^- 層11をより低抵抗化することができる。

【0050】GaとGeを用いる場合、Geについて加速エネルギー15 KeV、注入量 $1 \times 10^{16} \text{cm}^{-2}$ の注入条件、Gaについて加速エネルギー10 KeV、注入量 $4 \times 10^{14} \text{cm}^{-2}$ の注入条件を用いる。この際、Geを先にイオン注入し、続いてGaをイオン注入するとGaの分布をより浅くすることができる。

【0051】InとGeを用いる場合、Geについて加速エネルギー15 KeV、注入量 $1 \times 10^{16} \text{cm}^{-2}$ の注入条件、Inにつ

いて加速エネルギー10 KeV、注入量 $4 \times 10^{14} \text{cm}^{-2}$ の注入条件を用いる。この際、Geを先にイオン注入し、続いてInをイオン注入するとInの分布をより浅くすることができる。

【0052】

【発明の効果】以上のように、本発明では、第1のサイドウォールと第2のサイドウォールを形成することによりCMOSトランジスタのショートチャネル効果の抑制、電流駆動能力の向上をとともに図ることが可能となり、また、製造工程完了後に幅の狭い第2のサイドウォールのみが残されるのでCMOSトランジスタの占有面積が低減されてチップ面積を従来に比べて縮小することが可能となる。また、pMOSトランジスタのLDD領域の形成にGaやInを用いることによりショートチャネル効果の抑制をより効果的に行うことが可能となり、CMOSトランジスタを含む半導体装置の高速化、チップ面積の縮小を図る上で有益である。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を示す工程断面図(その1)

【図2】 本発明の第1の実施例を示す工程断面図(その2)

【図3】 本発明の第2の実施例を示す工程断面図(その1)

【図4】 本発明の第2の実施例を示す工程断面図(その2)

【図5】 従来例を示す工程断面図(その1)

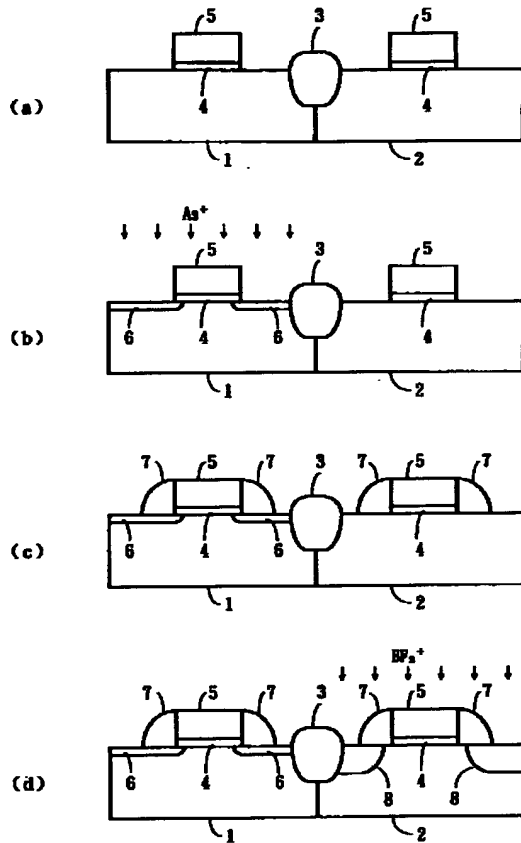
【図6】 従来例を示す工程断面図(その2)

【符号の説明】

1、21	nMOSトランジスタ形成領域	7	第1のサイドウォール
2、22	pMOSトランジスタ形成領域	8、30	p^+ 層
3、23	素子分離領域	9	第2のサイドウォール
4、24	ゲート酸化膜	10、29	n^+ 層
5、25	ゲート電極	11、27	p^- 層
6、26	n^- 層	28	サイドウォール

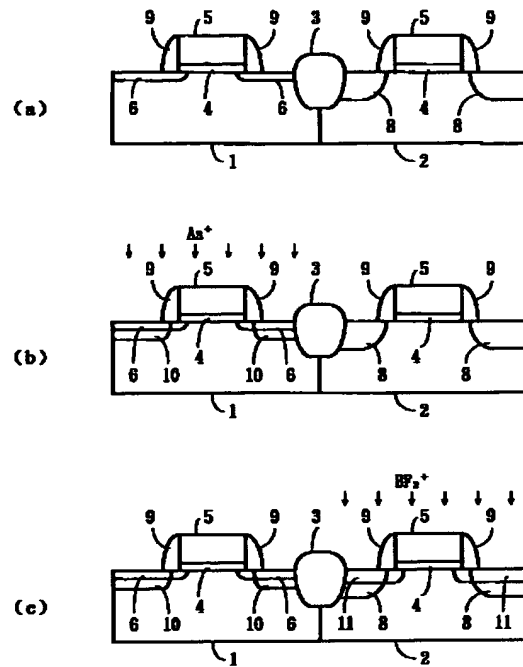
【図1】

本発明の第1の実施例を示す工程断面図（その1）



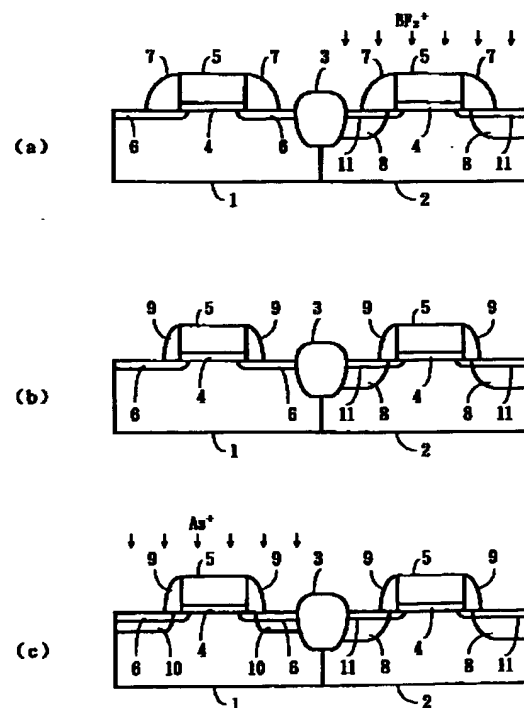
【図2】

本発明の第1の実施例を示す工程断面図（その2）



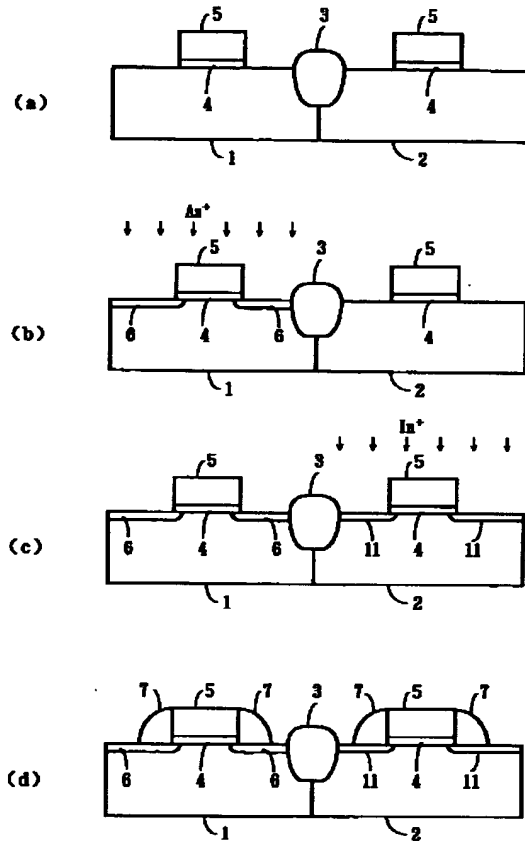
【図4】

本発明の第2の実施例を示す工程断面図（その2）



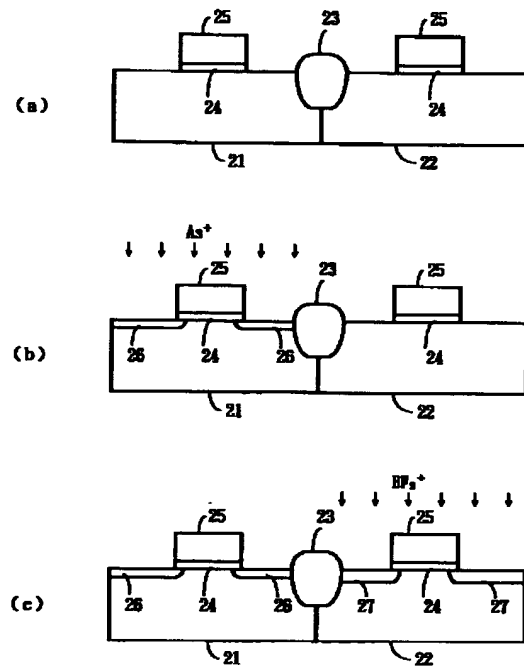
【図3】

本発明の第2の実施例を示す工程断面図（その1）



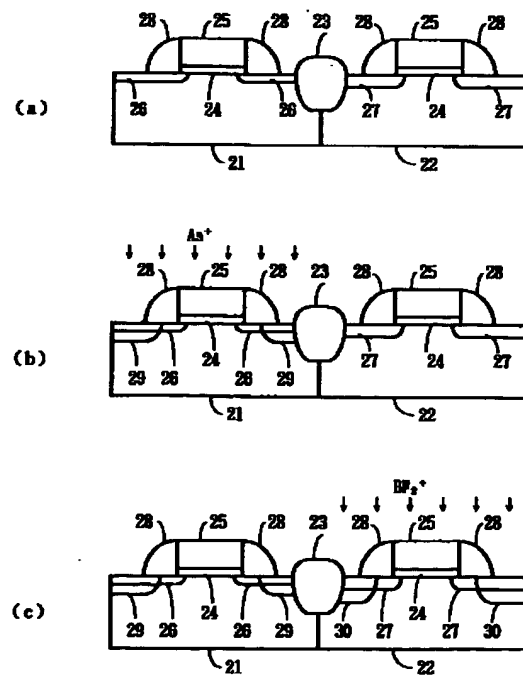
【図5】

従来例を示す工程断面図（その1）



【図6】

従来例を示す工程断面図（その2）



フロントページの続き

Fターム(参考) 5F048 AA01 AC03 BA01 BB05 BB09
BB12 BC06 BC15 BG12 DA25
DA27 DA29 DA30